SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Patent Number:	JP2002164439
Publication date:	2002-06-07
Inventor(s):	TSUTSUMI TOSHIAKI
Applicant(s):	MITSUBISHI ELECTRIC CORP
Requested Patent:	☐ JP2002164439
Application Number:	JP20000357017 20001124
Priority Number(s):	
IPC Classification:	H01L21/8234; H01L27/088
EC Classification:	
Equivalents:	

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device where a transistor having different thicknesses of a gate insulating film can be formed easily.
SOLUTION: In a semiconductor device that comprises a plurality of regions A, B set by a semiconductor substrate 1 and MISFETs 13, 14 formed on each region A, B respectively and where the thicknesses of the gate insulating film of a transistor are different every each region, each gate insulating film 8a, 15 comprises an upper layer insulating film 8 having the same thickness in each region each other and the difference of the thicknesses of the gate insulating films 8a, 15 is formed by changing the thickness of a lower silicon oxide film 6.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁（ＪＰ）

(12) **公開特許公報**（Ａ）

(11)特許出願公開番号
特開2002－164439
（P2002－164439A）

(43)公開日　平成14年６月７日(2002.6.7)

(51)Int.Cl.^{7}	識別記号	ＦＩ	テーマコード（参考）
Ｈ０１Ｌ　21/8234 27/088		Ｈ０１Ｌ　27/08　１０２Ｃ	５Ｆ０４８

審査請求　未請求　請求項の数９　ＯＬ　（全　８　頁）

(21)出願番号　特願2000－357017(P2000－357017)

(22)出願日　平成12年11月24日(2000.11.24)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号

(72)発明者　堤　聡明
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

(74)代理人　100093562
弁理士　児玉　俊英　（外３名）

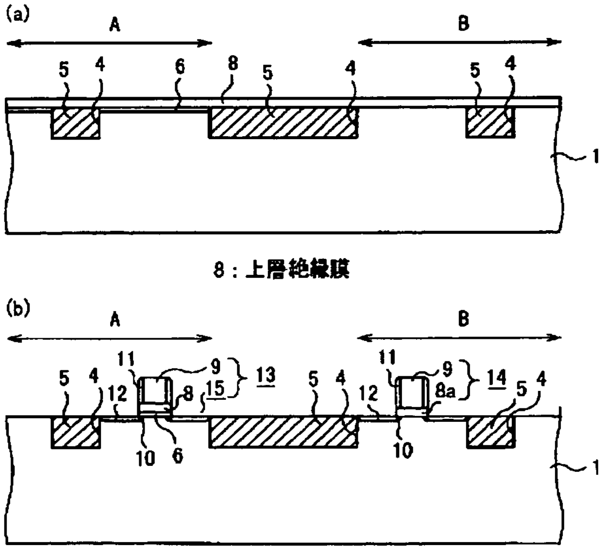
Ｆターム(参考)　5F048 AA05 AA07 AB03 AC01 BA01 BB05 BB08 BB09 BB12 BB13 BB16

(54)【発明の名称】　半導体装置および半導体装置の製造方法

(57)【要約】　　　　　（修正有）

【課題】　ゲート絶縁膜の厚みの異なるトランジスタを容易に形成することができる半導体装置を得る。

【解決手段】　半導体基板１に設定された複数の領域Ａ、Ｂと、各領域Ａ、Ｂそれぞれに形成されたＭＩＳＦＥＴ１３、１４とを備え、各領域毎にトランジスタのゲート絶縁膜の厚みが異なる半導体装置において、各ゲート絶縁膜８ａ、１５は、各領域において互いに同一の厚みを有する上層絶縁膜８を備え、ゲート絶縁膜８ａ、１５の厚みの異なりを下層のシリコン酸化膜６の厚みを変更して形成する。



8：上層絶縁膜

8a．15：ゲート絶縁膜
13：第1のMISFET
14：第2のMISFET

【特許請求の範囲】

【請求項１】　半導体基板に設定された複数の領域と、上記各領域にそれぞれ形成されたトランジスタとを備え、上記各領域毎に上記トランジスタのゲート絶縁膜の厚みが異なる半導体装置において、上記各ゲート絶縁膜は、上記各領域において互いに同一の厚みを有する上層絶縁膜を備え、上記ゲート絶縁膜の厚みの異なりを上記上層絶縁膜の下層に形成するシリコン酸化膜の厚みを変更して形成することを特徴とする半導体装置。

【請求項２】　複数の領域の内、いずれか１つの領域において、上層絶縁膜の下層にシリコン酸化膜を備えていないことを特徴とする請求項１に記載の半導体装置。

【請求項３】　複数の領域の全てのゲート絶縁膜の上層絶縁膜の下層に、シリコン酸化膜を備えたことを特徴とする請求項１に記載の半導体装置。

【請求項４】　シリコン酸化膜は熱酸化膜にて成ることを特徴とする請求項１ないし請求項３のいずれかに記載の半導体装置。

【請求項５】　上層絶縁膜は、シリコン酸化膜より誘電率の高い膜にて成ることを特徴とする請求項１ないし請求項４のいずれかに記載の半導体装置。

【請求項６】　上層絶縁膜は、ＰＺＴ膜、または、ＢＳＴ膜、または、Ｔａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉの酸化膜若しくは酸窒化膜のいずれかにて成ることを特徴とする請求項５に記載の半導体装置。

【請求項７】　半導体基板上に設定された複数の領域と、上記各領域にそれぞれ形成されたトランジスタと、上記各領域毎に上記トランジスタのゲート絶縁膜の厚みが異なる半導体装置の製造方法において、上記各トランジスタのゲート絶縁膜の形成を、上記半導体基板上に熱酸化法によりシリコン酸化膜を形成する第１の工程と、上記各領域の内所望の領域をレジストにて覆う第２の工程と、上記レジストをマスクとして上記シリコン酸化膜を除去する第３の工程と、上記領域毎に上記シリコン酸化膜の膜厚が異なる膜厚となるまで上記第１、第２、第３の工程を順次繰り返す工程と、上記半導体基板上に上層絶縁膜を成膜し上記各領域毎に厚みの異なるゲート絶縁膜を形成する工程とで行うことを特徴とする半導体装置の製造方法。

【請求項８】　上層絶縁膜を、シリコン酸化膜より誘電率の高い膜にて形成することを特徴とする請求項７に記載の半導体装置の製造方法。

【請求項９】　上層絶縁膜は、ＰＺＴ膜、または、ＢＳＴ膜、または、Ｔａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉの酸化膜若しくは酸窒化膜のいずれかにて形成することを特徴とする請求項８に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、例えばＭＩＳＦＥＴ構造を有する複数のトランジスタを備え、ゲート絶縁膜の厚みの異なるトランジスタを容易に形成することができる半導体装置および半導体装置の製造方法に関するものである。

【０００２】

【従来の技術】半導体装置の高性能化がすすみ、同一半導体チップ内に異なる機能の素子が形成されるようになってきた。このような場合、同一チップ内にゲート絶縁膜の厚さが異なるトランジスタを形成して、特性の異なるトランジスタを形成している。具体的には、熱酸化を所定の領域に複数回施し、異なる膜厚のシリコン酸化膜を形成してきた。

【０００３】一方、半導体装置の微細化が進み、ＭＩＳＦＥＴにおけるシリコン酸化膜にて成るゲート絶縁膜の薄膜化が要求されてきた。しかし、シリコン酸化膜にて成るゲート絶縁膜の薄膜化は、ゲート電極と半導体基板との間でリーク電流が増大するという問題がある。このような状況の中、１００ｎｍ以降のデバイスに対し、従来ゲート絶縁膜に用いられてきたシリコン酸化膜に替えて、シリコン酸化膜より誘電率の大きい、例えば、ＰＺＴ、ＢＳＴやＴａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉ等の酸化膜や酸窒化膜などの使用が検討されている。

【０００４】図５および図６は従来の半導体装置の製造方法を示した断面図である。各図に基づいて、従来の半導体装置の製造方法について説明する。ここで形成される半導体装置は、半導体基板１０１に、複数の領域が設定され、各領域にはトランジスタがそれぞれ形成され、各領域毎にゲート絶縁膜の膜厚が異なるように形成され、各領域毎のトランジスタの特性が異なるように形成されるものである。

【０００５】まず、半導体基板１０１上に、例えば熱酸化法またはＣＶＤ法によりシリコン酸化膜を膜厚１５ｎｍにて成膜して第１のマスク膜１０２を形成する。次に、第１のマスク膜１０２上に、例えばＣＶＤ法によりシリコン窒化膜を膜厚２００ｎｍにて成膜して第２のマスク膜１０３を形成する。次に、写真製版およびエッチング法により、第２のマスク膜１０３、第１のマスク膜１０２および半導体基板１０１をパターニングして、例えば深さ３００ｎｍのトレンチ１０４を形成する（図５（ａ））。

【０００６】次に、熱酸化法またはＣＶＤ法により第１の絶縁膜１０５を成膜し、研磨法により、第２のマスク膜１０３上面まで第１の絶縁膜１０５を研磨する（図５（ｂ））。次に、エッチング法により第１の絶縁膜１０５をエッチングして、膜厚を減じ、半導体基板１０１と略同一面とする。その後、第１のマスク膜１０２および第２のマスク膜１０３を除去する（図５（ｃ））。次に、ＣＶＤ法またはＰＶＤ法によりシリコン酸化膜に比して誘電率の高い、例えば、ＰＺＴ（ジルコン酸チタン酸鉛の略称）膜、ＢＳＴ（チタン酸ストロンチウムバリウムの略称）膜、やＴａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉ等の

酸化膜または酸窒化膜を膜厚５～２０ｎｍにて成膜し第１の絶縁膜１０６を形成する（図６（ａ））。

【０００７】次に、写真製版法によりレジスト膜１０７を所望の第１の領域Ａを覆うように形成する。次に、レジスト膜１０７にて覆われていない第２の領域Ｂの第１の絶縁膜１０６を除去する（図６（ｂ））。次に、レジスト膜１０７をアッシング法等により除去後、ＣＶＤ法により誘電率の高い第２の絶縁膜１０８を形成する（図６（ｃ））。以下は、周知の方法により、ポリシリコン、シリサイド、金属膜、金属窒化膜若しくはこれらの積層膜をＣＶＤ法またはＰＶＤ法により形成し、写真製版及びエッチング法により、ゲート電極１０９を形成する。

【０００８】次に、イオン注入法により例えばＡｓ、Ｐ、Ｂ、ＢＦ$_2$等を１Ｅ１３～１Ｅ１４／ｃｍ^{2}注入して第１の不純物拡散層１１０を形成する。次に、ＣＶＤ法により絶縁膜、例えばシリコン酸化膜若しくはシリコン窒化膜またはこれらの積層膜を膜厚２０～１００ｎｍ形成し、エッチングしてサイドウォール１１１を形成する。次に、イオン注入法により例えばＡｓ、Ｐ、Ｂ、ＢＦ$_2$等を１Ｅ１５～１Ｅ１６／ｃｍ^{2}注入して第２の不純物拡散層１１２を形成する。

【０００９】このようにして、第１および第２のＭＩＳＦＥＴ１１３、１１４が形成される（図６（ｄ））。そして、第１のＭＩＳＦＥＴ１１３のゲート絶縁膜１１５は、第１の絶縁膜１０６および第２の絶縁膜１０８にて形成され、第２のＭＩＳＦＥＴ１１４のゲート絶縁膜１０８ａは、第２の絶縁膜１０８にて形成される。よって、第１の領域Ａと第２の領域Ｂとにそれぞれ形成される、第１のＭＩＳＦＥＴ１１３と第２のＭＩＳＦＥＴ１１４とはゲート絶縁膜の膜厚がそれぞれ異なり、トランジスタの特性が異なるものとして形成することができる。

【００１０】

【発明が解決しようとする課題】上記のように構成された前者の従来の半導体装置によれば、ＣＶＤ法等によりシリコン酸化膜に比べ誘電率の高い絶縁膜を利用して、膜厚の異なるゲート絶縁膜を有するトランジスタを形成するような場合、厚い部分のゲート絶縁膜は２回のＣＶＣ法による成膜工程にて形成しなくてはならず、プロセスの変動要因を受けやすく精度よく所定の膜厚に形成することが困難になるという問題点があった。

【００１１】この発明は上記のような問題点を解消するためになされたもので、電気的特性が劣化することなく、特性の異なるトランジスタを容易に形成することができる半導体装置および半導体装置の製造方法を得ることを目的とする。

【００１２】

【課題を解決するための手段】この発明に係る請求項１の半導体装置は、半導体基板に設定された複数の領域と、各領域にそれぞれ形成されたトランジスタとを備え、各領域毎にトランジスタのゲート絶縁膜の厚みが異なる半導体装置において、各ゲート絶縁膜は、各領域において互いに同一の厚みを有する上層絶縁膜を備え、ゲート絶縁膜の厚みの異なりを上層絶縁膜の下層に形成するシリコン酸化膜の厚みを変更して形成するものである。

【００１３】また、この発明に係る請求項２の半導体装置は、請求項１において、複数の領域の内、いずれか１つの領域において、上層絶縁膜の下層にシリコン酸化膜を備えていないものである。

【００１４】また、この発明に係る請求項３の半導体装置は、請求項１において、複数の領域の全てのゲート絶縁膜の上層絶縁膜の下層に、シリコン酸化膜を備えたものである。

【００１５】また、この発明に係る請求項４の半導体装置は、請求項１ないし請求項３のいずれかおいて、シリコン酸化膜は熱酸化膜にて成るものである。

【００１６】また、この発明に係る請求項５の半導体装置は、請求項１ないし請求項４のいずれかにおいて、上層絶縁膜は、シリコン酸化膜より誘電率の高い膜にて成るものである。

【００１７】また、この発明に係る請求項６の半導体装置は、請求項５において、上層絶縁膜は、ＰＺＴ膜、または、ＢＳＴ膜、または、Ｔａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉの酸化膜若しくは酸窒化膜のいずれかにて成るものである。

【００１８】また、この発明に係る請求項７の半導体装置の製造方法、半導体基板上に設定された複数の領域と、各領域にそれぞれ形成されたトランジスタと、各領域毎にトランジスタのゲート絶縁膜の厚みが異なる半導体装置の製造方法において、各トランジスタのゲート絶縁膜の形成を、半導体基板上に熱酸化法によりシリコン酸化膜を形成する第１の工程と、各領域の内所望の領域をレジストにて覆う第２の工程と、レジストをマスクとしてシリコン酸化膜を除去する第３の工程と、領域毎にシリコン酸化膜の膜厚が異なる膜厚となるまで第１、第２、第３の工程を順次繰り返す工程と、半導体基板上に上層絶縁膜を成膜して各領域毎に膜厚の異なるゲート絶縁膜を形成する工程とで行うものである。

【００１９】また、この発明に係る請求項８の半導体装置の製造方法、請求項７において、上層絶縁膜を、シリコン酸化膜より誘電率の高い膜にて形成するものである。

【００２０】また、この発明に係る請求項９の半導体装置の製造方法、請求項８において、上層絶縁膜は、ＰＺＴ膜、または、ＢＳＴ膜、または、Ｔａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉの酸化膜若しくは酸窒化膜のいずれかにて形成するものである。

【００２１】

【発明の実施の形態】実施の形態１．以下、この発明の実施の形態について説明する。図１ないし図３はこの発明の実施の形態１の半導体装置の製造方法を示す断面図である。各図に基づいて、この発明の実施の形態１の半導体装置の製造方法について説明する。ここで形成される半導体装置は、半導体基板１に、複数の領域が設定され、各領域にはトランジスタがそれぞれ形成され、各領域毎にゲート絶縁膜の膜厚が異なるように形成され、各領域毎のトランジスタの特性が異なるように形成されるものである。

【００２２】まず、従来の場合と同様に、半導体基板１上に、例えば熱酸化法またはＣＶＤ法によりシリコン酸化膜を膜厚１５ｎｍにて成膜して第１のマスク膜２を形成する。次に、第１のマスク膜２上に、例えばＣＶＤ法によりシリコン窒化膜を膜厚２００ｎｍにて成膜して第２のマスク膜３を形成する。次に、写真製版およびエッチング法により、第２のマスク膜３、第１のマスク膜２および半導体基板１をパターニングして、例えば深さ３００ｎｍのトレンチ４を形成する（図１（ａ））。

【００２３】次に、熱酸化法またはＣＶＤ法により第１の絶縁膜５を成膜し、研磨法により、第２のマスク膜３上面まで第１の絶縁膜５を研磨する（図１（ｂ））。次に、エッチング法により第１の絶縁膜５をエッチングして、膜厚を減じ、半導体基板１と略同一面とする。その後、第１のマスク膜２および第２のマスク膜３を除去する（図１（ｃ））。次に、熱酸化法により半導体基板１上を酸化し、例えば膜厚が１．５～３ｎｍのシリコン酸化膜６を形成する（図２（ａ））。

【００２４】次に、写真製版法によりレジスト膜７を所望の第１の領域Ａを覆うように形成する（図２（ｂ））。次に、レジスト膜７にて覆われていない第２の領域Ｂのシリコン酸化膜６を除去する。次に、レジスト膜７をアッシング法等により除去する（図２（ｃ））。次に、ＣＶＤ法によりシリコン酸化膜より誘電率の高い、例えば、ＰＺＴ膜、ＢＳＴ膜やＴａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉ等の酸化膜または酸窒化膜を膜厚１０～２０ｎｍにて成膜し上層絶縁膜８を形成する（図３（ａ））。

【００２５】以下は、周知の方法により、ポリシリコン、シリサイド、金属膜、金属窒化膜若しくはこれらの積層膜をＣＶＤ法により形成し、写真製版及びエッチング法により、ゲート電極９を形成する。次に、イオン注入法により例えばＡｓ、Ｐ、Ｂ、ＢＦ$_2$等を１Ｅ１３～１Ｅ１４／ｃｍ^{2}注入して第１の不純物拡散層１０を形成する。

【００２６】次に、ＣＶＤ法により絶縁膜、例えばシリコン酸化膜若しくはシリコン窒化膜またはこれらの積層膜を膜厚２０～１００ｎｍ形成し、エッチングしてサイドウォール１１を形成する。次に、イオン注入法により例えばＡｓ、Ｐ、Ｂ、ＢＦ$_2$等を１Ｅ１５～１Ｅ１６／ｃｍ^{2}注入して第２の不純物拡散層１２を形成する。

【００２７】このようにして、第１および第２のＭＩＳＦＥＴ１３、１４が形成される（図３（ｄ））。そして、第１のＭＩＳＦＥＴ１３のゲート絶縁膜１５は、シリコン酸化膜６および上層絶縁膜８にて形成され、第２のＭＩＳＦＥＴ１４のゲート絶縁膜８ａは、上層絶縁膜８のみにて形成される。

【００２８】このように異なる誘電率を有する絶縁膜を積層構造にすると、ゲート絶縁膜において容量は直列に結合される。このことより、チャネルに対向するゲート電極の面積をＳとし、各々の絶縁膜の誘電率をそれぞれε_1およびε_2とし、各々の絶縁膜の膜厚をd_1およびd_2とすると、これらの積層膜からなるコンデンサの容量は、$\varepsilon_1 \cdot \varepsilon_2 \cdot S / (\varepsilon_1 d_2 + \varepsilon_2 d_1)$となる。

【００２９】よって、誘電率の高い絶縁膜の膜厚d_1を一定値とした場合でも、d_2を変えることでゲートとチャネル間の容量を変化させることができる。このように誘電率が小さく膜厚制御性の良いシリコン酸化膜を領域毎に膜厚を変えることで、誘電率の高い絶縁膜の形成膜厚が一定であっても実効的なゲート絶縁膜の膜厚を変えることができる。

【００３０】以上のことより、第１の領域Ａと第２の領域Ｂとにそれぞれ形成される、第１のＭＩＳＦＥＴ１３と第２のＭＩＳＦＥＴ１４とはゲート絶縁膜の膜厚がそれぞれ異なり、トランジスタの特性は異なるものとして形成することができる。

【００３１】上記のように構成された実施の形態１の半導体装置は、膜厚制御方法が確立されているシリコン酸化膜の膜厚の変更により、ゲートとチャネル間の容量を決定し、特性の異なるトランジスタを形成することができるため、制御性良く特性の異なるトランジスタの性能が決定できる。また、生産コストが高い誘電率の高い絶縁膜の形成工程が１回で済みコストの増加を最小限にとどめることができる。

【００３２】実施の形態２．上記実施の形態１では、シリコン酸化膜を備えていないゲート絶縁膜を有する領域を備えた例を説明したが、これに限られることはなく、ゲート絶縁膜の全てにシリコン酸化膜を備えるようにしてもよく、その例を以下に説明する。

【００３３】図４はこの発明の実施の形態２の半導体装置の製造方法を示した断面図である。図に基づいて実施の形態２の半導体装置の製造方法について説明する。まず、上記実施の形態１と同様の工程を経て、図２（ｃ）に示すように、第１の領域Ａにシリコン酸化膜６を、第２の領域Ｂのシリコン酸化膜６をエッチングして形成する。

【００３４】次に、再び半導体基板１上に熱酸化法により、例えば０．５～１．５ｎｍの膜厚にて成る第２のシリコン酸化膜１６を形成する（図４（ａ））。次に、ＣＶＤ法によりシリコン酸化膜より誘電率の高い、例え

ば、ＰＺＴ膜、ＢＳＴ膜やＴａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉ等の酸化膜または酸窒化膜を膜厚１０～２０ｎｍにて成膜し上層絶縁膜８を形成する（図４（ｂ））。

【００３５】以下は、上記実施の形態１と同様の方法により、ポリシリコン、シリサイド、金属膜、金属窒化膜若しくはこれらの積層膜をＣＶＤ法により形成し、写真製版及びエッチング法により、ゲート電極９を形成する。次に、イオン注入法により例えばＡｓ、Ｐ、Ｂ、ＢＦ$_2$等を１Ｅ１３～１Ｅ１４／ｃｍ^{2}注入して第１の不純物拡散層１０を形成する。

【００３６】次に、ＣＶＤ法により絶縁膜、例えばシリコン酸化膜若しくはシリコン窒化膜またはこれらの積層膜を膜厚２０～１００ｎｍ形成し、エッチングしてサイドウォール１１を形成する。次に、イオン注入法により例えばＡｓ、Ｐ、Ｂ、ＢＦ$_2$等を１Ｅ１５～１Ｅ１６／ｃｍ^{2}注入して第２の不純物拡散層１２を形成する。

【００３７】このようにして、第１および第２のＭＩＳＦＥＴ１７、１８が形成される（図４（ｃ））。そして、第１のＭＩＳＦＥＴ１７のゲート絶縁膜１９は、シリコン酸化膜６、第２のシリコン酸化膜１６および上層絶縁膜８にて形成され、第２のＭＩＳＦＥＴ１８のゲート絶縁膜２０は、第２のシリコン酸化膜１６および上層絶縁膜８にて形成される。

【００３８】以上のことより、第１の領域Ａと第２の領域Ｂとにそれぞれ形成される、第１のＭＩＳＦＥＴ１７と第２のＭＩＳＦＥＴ１８とはゲート絶縁膜の膜厚がそれぞれ異なり、トランジスタの特性は異なるものとして形成することができる。

【００３９】上記のように構成された実施の形態２の半導体装置は、上記実施の形態１と同様の効果を奏するのはもちろんのこと、半導体基板上にシリコン酸化膜を形成しているので、半導体基板の界面制御を行うことができ、上部に形成される上層絶縁膜を半導体基板上に直接形成する場合に比べトランジスタの高性能化が図れる。

【００４０】尚、上記各実施の形態においては、半導体基板上の領域を２つの領域が存在する場合を例に説明したが、これに限られることはなく、３つ以上の領域が存在しても、シリコン酸化膜の形成回数を増やし、シリコン酸化膜の膜厚を各領域毎に変更すれば、上記各実施の形態と同様に形成することができ、同様の効果を奏することは言うまでもない。

【００４１】

【発明の効果】以上のように、この発明の請求項１によれば、半導体基板に設定された複数の領域と、各領域にそれぞれ形成されたトランジスタとを備え、各領域毎にトランジスタのゲート絶縁膜の厚みが異なる半導体装置において、各ゲート絶縁膜は、各領域において互いに同一の厚みを有する上層絶縁膜を備え、ゲート絶縁膜の厚みの異なりを上層絶縁膜の下層に形成するシリコン酸化膜の厚みを変更して形成するので、ゲート絶縁膜の厚みが確実に変更することができる半導体装置を提供することが可能となる。

【００４２】また、この発明の請求項２によれば、請求項１において、複数の領域の内いずれか１つの領域において、上層絶縁膜の下層にシリコン酸化膜を備えていないので、少ない工程にて形成することができる半導体装置を提供することが可能となる。

【００４３】また、この発明の請求項３によれば、請求項１において、複数の領域の全てのゲート絶縁膜の上層絶縁膜の下層に、シリコン酸化膜を備えたので、トランジスタの高性能化ができる半導体装置を提供することが可能となる。

【００４４】また、この発明の請求項４によれば、請求項１ないし請求項３のいずれかおいて、シリコン酸化膜は熱酸化膜にて成るので、ゲート絶縁膜の厚みを容易に変更することができる半導体装置を提供することが可能となる。

【００４５】また、この発明の請求項５によれば、請求項１ないし請求項４のいずれかにおいて、上層絶縁膜は、シリコン酸化膜より誘電率の高い膜にて成るので、所望特性を有するゲート絶縁膜を容易に得ることができる半導体装置を提供することが可能となる。

【００４６】また、この発明の請求項６によれば、請求項５において、上層絶縁膜は、ＰＺＴ膜、または、ＢＳＴ膜、または、Ｔａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉの酸化膜若しくは酸窒化膜のいずれかにて成るので、所望特性を有するゲート絶縁膜を確実に得ることができる半導体装置を提供することが可能となる。

【００４７】また、この発明の請求項７によれば、半導体基板上に設定された複数の領域と、各領域にそれぞれ形成されたトランジスタと、各領域毎にトランジスタのゲート絶縁膜の厚みが異なる半導体装置の製造方法において、各トランジスタのゲート絶縁膜の形成を、半導体基板上に熱酸化法によりシリコン酸化膜を形成する第１の工程と、各領域の内所望の領域をレジストにて覆う第２の工程と、レジストをマスクとしてシリコン酸化膜を除去する第３の工程と、領域毎にシリコン酸化膜の膜厚が異なる膜厚となるまで第１、第２、第３の工程を順次繰り返す工程と、半導体基板上に上層絶縁膜を成膜し各領域毎に膜厚の異なるゲート絶縁膜を形成する工程とで行うので、各領域毎のゲート絶縁膜の厚みが確実に変更することができる半導体装置の製造方法を提供することが可能となる。

【００４８】また、この発明の請求項８によれば、請求項７において、上層絶縁膜を、シリコン酸化膜より誘電率の高い膜にて形成するので、所望特性を有するゲート絶縁膜を容易に形成することができる半導体装置の製造方法を提供することが可能となる。

【００４９】また、この発明の請求項９によれば、請求項８において、上層絶縁膜は、ＰＺＴ膜、または、ＢＳ

Ｔ膜、または、Ｔａ、Ｈｆ、Ｚｒ、Ａｌ、Ｔｉの酸化膜若しくは酸窒化膜のいずれかにて形成するので、所望特性を有するゲート絶縁膜を確実に形成することができる半導体装置の製造方法を提供することが可能となる。

【図面の簡単な説明】

【図１】　この発明の実施の形態１による半導体装置の製造方法を示す断面図である。

【図２】　この発明の実施の形態１による半導体装置の製造方法を示す断面図である。

【図３】　この発明の実施の形態１による半導体装置の製造方法を示す断面図である。

【図４】　この発明の実施の形態２による半導体装置の製造方法を示す断面図である。

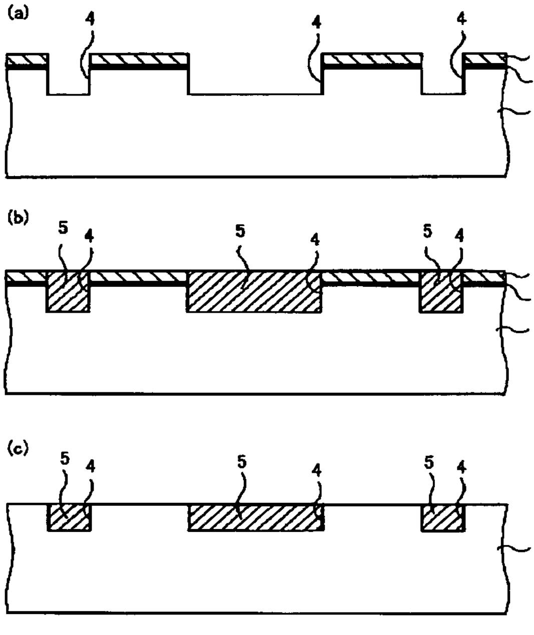
【図５】　従来の半導体装置の製造方法を示す断面図である。

【図６】　従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

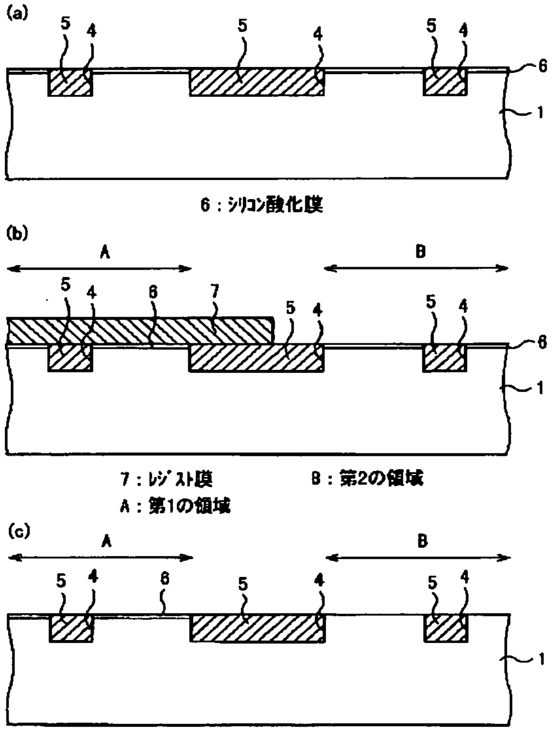
１　半導体基板、６　シリコン酸化膜、７　レジスト膜、８　上層絶縁膜、８ａ，１５，１９，２０　ゲート絶縁膜、１３，１７　第１のＭＩＳＦＥＴ、１４，１８　第２のＭＩＳＦＥＴ、１６　第２のシリコン酸化膜、Ａ　第１の領域、Ｂ　第２の領域。

【図１】



1：半導体基板

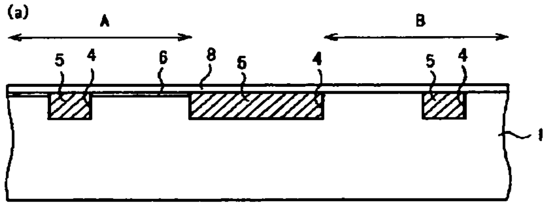
【図２】



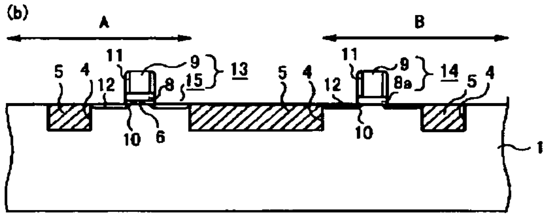
6：シリコン酸化膜

7：レジスト膜　B：第2の領域
A：第1の領域

【図３】

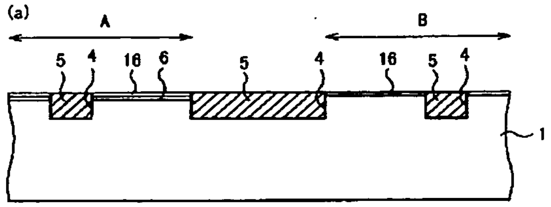


8：上層絶縁膜

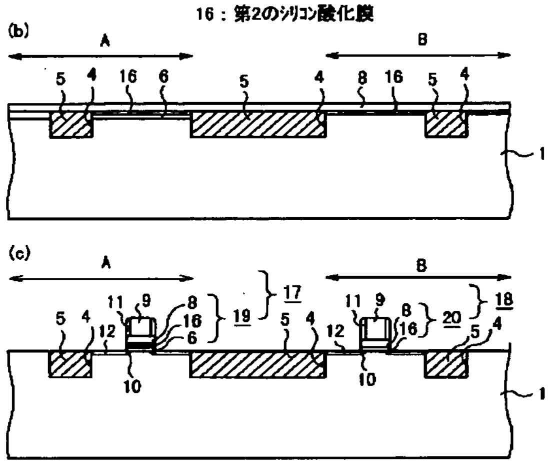


8a. 15：ｹﾞｰﾄ絶縁膜
13：第1のMISFET
14：第2のMISFET

【図４】

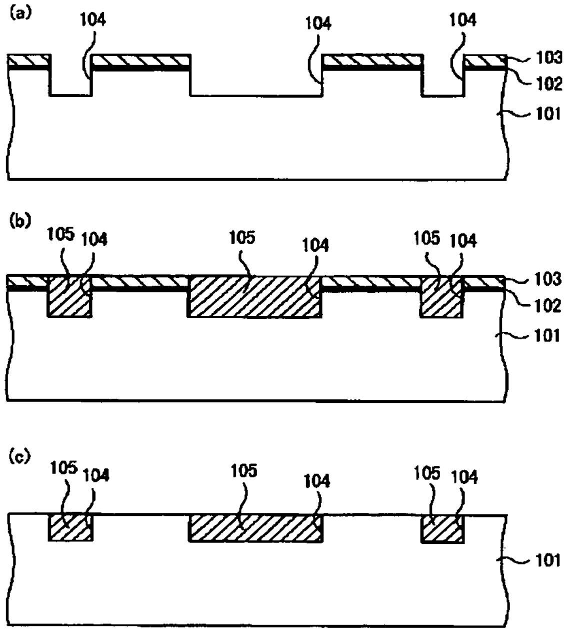


16：第2のｼﾘｺﾝ酸化膜

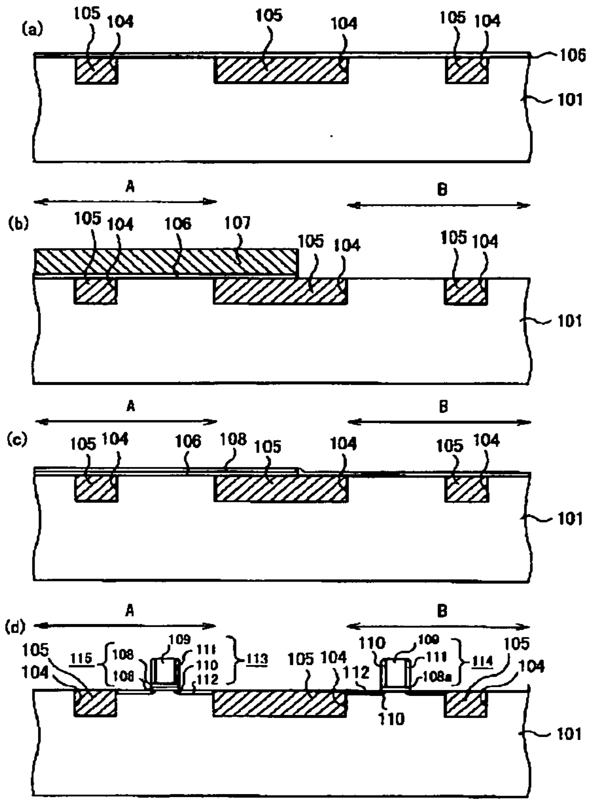


19, 20：ｹﾞｰﾄ絶縁膜
17：第1のMISFET
18：第2のMISFET

【図５】



【図６】


(a)
A
B
(b)
A
B
(c)
A
B
(d)

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer.So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3.In the drawings, any words are not translated.

Bibliography.

---

(19) [Country of Issue] Japan Patent Office (JP)
(12) [Official Gazette Type] Open patent official report (A)
(11) [Publication No.] JP,2002-164439,A (P2002-164439A)
(43) [Date of Publication] June 7, Heisei 14 (2002. 6.7)
(54) [Title of the Invention] The manufacture method of a semiconductor device and a semiconductor device.
(51) [The 7th edition of International Patent Classification]

H01L 21/8234
27/088

[FI]

H01L 27/08 102 C

[Request for Examination] Un-asking.
[The number of claims] 9.
[Mode of Application] OL.
[Number of Pages] 8.
(21) [Filing Number] Application for patent 2000-357017 (P2000-357017)
(22) [Filing Date] November 24, Heisei 12 (2000. 11.24)
(71) [Applicant]
[Identification Number] 000006013.
[Name] Mitsubishi Electric Corp.
[Address] 2-2-3, Marunouchi, Chiyoda-ku, Tokyo.
(72) [Inventor(s)]
[Name] ** Wise.
[Address] 2-2-3, Marunouchi, Chiyoda-ku, Tokyo Inside of Mitsubishi Electric Corp.
(74) [Attorney]
[Identification Number] 100093562.
[Patent Attorney]
[Name] Kodama Man of ability (besides three persons)
[Theme code (reference)]

5F048.

[F term (reference)]

5F048 AA05 AA07 AB03 AC01 bus-available01 BB05 BB08 BB09 BB12 BB13 BB16.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

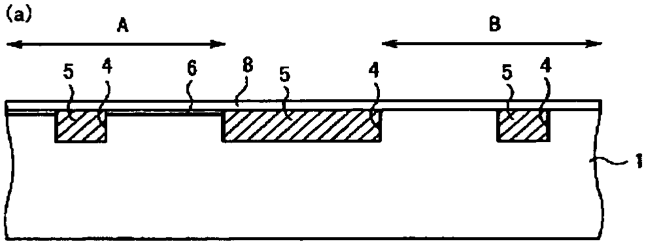
1. This document has been translated by computer.So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3.In the drawings, any words are not translated.

Summary.

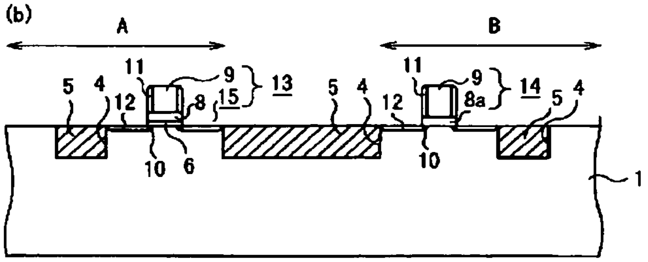
---

(57) [Abstract] (******)
[Technical problem] The semiconductor device which can form easily the transistor from which the thickness of a gate insulator layer differs is obtained.
[Means for Solution] two or more fields A and B set as the semiconductor substrate 1, and each fields A and B -- the semiconductor device with which it has MISFET 13 and 14 which was alike, respectively and was formed, and the thickness of the gate insulator layer of a transistor differs for every field -- setting Each gate insulator layers 8a and 15 are equipped with the upper insulator layer 8 which has the same thickness mutually in each field, change the thickness of the lower layer silicon oxide 6, and form the difference in the thickness of the gate insulator layers 8a and 15.

[Translation done.]



8 : 上層絶縁膜



8a. 15 : ｹﾞｰﾄ絶縁膜
13 : 第1のMISFET
14 : 第2のMISFET

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer.So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by changing and forming the thickness of the silicon oxide which is equipped with the upper insulator layer and forms the difference in the thickness of the above-mentioned gate insulator layer in the lower layer of the above-mentioned upper insulator layer characterized by providing the following. Two or more fields set as the semiconductor substrate. In the semiconductor device with which it has the transistor formed in each above-mentioned field, respectively, and the thickness of the gate insulator layer of the above-mentioned transistor differs for every above-mentioned field, each above-mentioned gate insulator layer is set to each above-mentioned field, and it is the same thickness mutually.

[Claim 2] The semiconductor device according to claim 1 characterized by not equipping the lower layer of the upper insulator layer with the silicon oxide in any one field among two or more fields.

[Claim 3] The semiconductor device according to claim 1 characterized by equipping the lower layer of the upper insulator layer of all the gate insulator layers of two or more fields with a silicon oxide.

[Claim 4] A silicon oxide is a semiconductor device according to claim 1 to 3 characterized by changing by the thermal oxidation film.

[Claim 5] The upper insulator layer is a semiconductor device according to claim 1 to 4 characterized by changing by the film with a dielectric constant higher than a silicon oxide.

[Claim 6] The upper insulator layer is a semiconductor device according to claim 5 characterized by changing by either the PZT film, the BST film, the oxide film of Ta, Hf, Zr, aluminum, and Ti or the acid nitride.

[Claim 7] In the manufacture method of a semiconductor device that the thickness of the gate insulator layer of the above-mentioned transistor differs from two or more fields set up on the semiconductor substrate, and the transistor formed in each above-mentioned field, respectively for every above-mentioned field The 1st process which forms a silicon oxide for formation of the gate insulator layer of each above-mentioned transistor by the oxidizing [thermally] method on the above-mentioned semiconductor substrate, The 3rd process which uses the 2nd process of a wrap, and the above-mentioned resist as a mask for the field of an inner request of each above-mentioned field in a resist, and removes the above-mentioned silicon oxide, The manufacture method of the semiconductor device characterized by carrying out at the process which repeats the above 1st, the 2nd, and the 3rd process successively until it becomes the thickness from which the thickness of the above-mentioned silicon oxide differs for every above-mentioned field, and the process which forms the gate insulator layer from which the upper insulator layer is formed and thickness differs for every above-mentioned field on the above-mentioned semiconductor substrate.

[Claim 8] The manufacture method of the semiconductor device according to claim 7 characterized by forming the upper insulator layer by the film with a dielectric constant higher than a silicon oxide.

[Claim 9] The upper insulator layer is the manufacture method of the semiconductor device according to claim 8 characterized by forming by either the PZT film, the BST film, the oxide film of Ta, Hf, Zr, aluminum, and Ti or the acid nitride.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[The technical field to which invention belongs] This invention is equipped with two or more transistors which have for example, MISFET structure, and relates to the manufacture method of of the semiconductor device and semiconductor device which can form easily the transistor from which the thickness of a gate insulator layer differs.
[0002]
[Description of the Prior Art] Highly efficient-ization of a semiconductor device progresses and the element of a different function in the same semiconductor chip has come to be formed. In such a case, the transistor from which the thickness of a gate insulator layer differs is formed in the same chip, and the transistor from which a property differs is formed. Specifically, the silicon oxide of multiple-times almsgiving and different thickness has been formed in a predetermined field for thermal oxidation.
[0003] On the other hand, detailed-ization of a semiconductor device was progressed and thin film-ization of the gate insulator layer which changes in the silicon oxide in MISFET has been required. However, thin film-ization of the gate insulator layer which changes in a silicon oxide has the problem that a leakage current increases between a gate electrode and a semiconductor substrate. It changes to the silicon oxide conventionally used for the gate insulator layer to the device after 100nm in such a situation, and a dielectric constant is larger than a silicon oxide, for example, use of oxide films, such as PZT, BST, and Ta, Hf, Zr, aluminum, Ti, an acid nitride, etc. is considered.
[0004] Drawing 5 and drawing 6 are the cross sections having shown the manufacture method of the conventional semiconductor device. The manufacture method of the conventional semiconductor device is explained based on each drawing. Two or more fields are set as the semiconductor substrate 101, a transistor is formed in each field, respectively, the semiconductor device formed here is formed so that the thickness of a gate insulator layer may differ for every field, and it is formed so that the properties of the transistor for every field may differ.
[0005] First, on the semiconductor substrate 101, a silicon oxide is formed in 15nm of thickness by for example, the oxidizing [thermally] method or CVD, and the 1st mask film 102 is formed. Next, on the 1st mask film 102, a silicon nitride is formed in 200nm of thickness by CVD, and the 2nd mask film 103 is formed. Next, by photoengraving process and the etching method, patterning of the 2nd mask film 103, the 1st mask film 102, and the semiconductor substrate 101 is carried out, for example, the trench 104 with a depth of 300nm is formed (drawing 5 (a)).
[0006] Next, the 1st insulator layer 105 is formed by the oxidizing [thermally] method or CVD, and the 1st insulator layer 105 is ground up to the 2nd mask film 103 upper surface by the grinding method (drawing 5 (b)). Next, the 1st insulator layer 105 is **********ed by the etching method, thickness is reduced, and it considers as the semiconductor substrate 101 and

an abbreviation same side. Then, the 1st mask film 102 and the 2nd mask film 103 are removed (drawing 5 (c)). Next, by CVD or PVD, as compared with a silicon oxide, for example, a dielectric constant is high, an oxide film or acid nitrides, such as a PZT (abbreviated name of PZT) film, a BST (abbreviated name of strontium-titanate barium) film, and ** Ta, Hf, Zr, aluminum, and Ti, are formed in 5-20nm of thickness, and the 1st insulator layer 106 is formed (drawing 6 (a)).

[0007] Next, it forms so that the 1st field A of a request of the resist film 107 may be covered with a photo-engraving process. Next, the 1st insulator layer 106 of the 2nd field B which is not covered by the resist film 107 is removed (drawing 6 (b)). Next, the resist film 107 is formed by the ashing method etc., and the 2nd insulator layer 108 with a high dielectric constant is formed by CVD after removal (drawing 6 (c)). The following forms contest polysilicon, silicide, a metal membrane, metal nitrides, or these cascade screens CVD or PVD by the well-known method, and forms the gate electrode 109 by photoengraving process and the etching method.

[0008] Next, As, P, B, and BF2 grade are poured in one E13 to 1E14-/cm2 with ion-implantation, and the 1st impurity diffusion layer 110 is formed. Next, an insulator layer, for example, a silicon oxide, silicon nitrides, or these cascade screens are formed 20-100nm of thickness by CVD, it **********s and a sidewall 111 is formed. Next, E16/1E15-12 [cm] </SUP> pouring of As, P, B, and BF2 grade is done with ion-implantation, and the 2nd impurity diffusion layer 112 is formed.

[0009] Thus, the 1st and 2nd MISFET(s) 113 and 114 are formed (drawing 6 (d)). And the gate insulator layer 115 of 1st MISFET113 is formed by the 1st insulator layer 106 and the 2nd insulator layer 108, and gate insulator layer 108a of 2nd MISFET114 is formed by the 2nd insulator layer 108. Therefore, the 1st MISFET113 and 2nd MISFET114 which are formed in the 1st field A and the 2nd field B, respectively can be formed as that from which the thickness of a gate insulator layer differs, respectively, and the property of a transistor differs.

[0010]

[Problem(s) to be Solved by the Invention] When the transistor which has the gate insulator layer from which thickness differs using an insulator layer with a high dielectric constant compared with a silicon oxide by CVD etc. was formed according to the conventional semiconductor device of the former constituted as mentioned above, there was a trouble that it became difficult to have to form the gate insulator layer of a thick portion at the membrane formation process by 2 times of the CVC methods, and to form in predetermined thickness with a sufficient precision that it is easy to receive the change factor of a process.

[0011] This invention aims at acquiring the manufacture method of of the semiconductor device and semiconductor device which can form easily the transistor from which a property differs, without having been made in order to cancel the above troubles, and an electrical property deteriorating.

[0012]

[Means for Solving the Problem] In the semiconductor device with which the semiconductor device of the claim 1 concerning this invention is equipped with two or more fields set as the semiconductor substrate, and the transistor formed in each field, respectively, and the thickness of the gate insulator layer of a transistor differs for every field Each gate insulator layer is equipped with the upper insulator layer which has the same thickness mutually in each field, and changes and forms the thickness of the silicon oxide which forms the difference in the thickness of a gate insulator layer in the lower layer of the upper insulator layer.

[0013] Moreover, the semiconductor device of the claim 2 concerning this invention does not equip the lower layer of the upper insulator layer with the silicon oxide in any one field among two or more fields in the claim 1.

[0014] Moreover, the semiconductor device of the claim 3 concerning this invention equips the lower layer of the upper insulator layer of all the gate insulator layers of two or more fields with a silicon oxide in a claim 1.

[0015] Moreover, the semiconductor device of the claim 4 concerning this invention is set in any of a claim 1 or a claim 3, and a silicon oxide changes by the thermal oxidation film.

[0016] Moreover, in the semiconductor device of the claim 5 concerning this invention, in either a claim 1 or the claim 4, the upper insulator layer consists of a silicon oxide by the film with a high dielectric constant.

[0017] Moreover, in the semiconductor device of the claim 6 concerning this invention, in a claim 5, the upper insulator layer changes by either the PZT film, the BST film, the oxide film of Ta, Hf, Zr, aluminum, and Ti or the acid nitride.

[0018] Moreover, the manufacture method of the semiconductor device of the claim 7 concerning this invention and two or more fields set up on the semiconductor substrate, In the manufacture method of a semiconductor device that the thickness of the gate insulator layer of a transistor differs from the transistor formed in each field, respectively for every field The 1st process which forms a silicon oxide for formation of the gate insulator layer of each transistor by the oxidizing [thermally] method on a semiconductor substrate, The 3rd process which uses the 2nd process of a wrap, and a resist as a mask for the field of an inner request of each field in a resist, and removes a silicon oxide, It carries out at the process which repeats the 1st, the 2nd, and the 3rd process successively until it becomes the thickness from which the thickness of a silicon oxide differs for every field, and the process which forms the gate insulator layer from which the upper insulator layer is formed and thickness differs for every field on a semiconductor substrate.

[0019] Moreover, in the manufacture method of the semiconductor device of the claim 8 concerning this invention, and a claim 7, the upper insulator layer is formed by the film with a dielectric constant higher than a silicon oxide.

[0020] Moreover, in the manufacture method of the semiconductor device of the claim 9 concerning this invention, and a claim 8, the upper insulator layer is formed by either the PZT film, the BST film, the oxide film of Ta, Hf, Zr, aluminum, and Ti or the acid nitride.

[0021]

[Embodiments of the Invention] The gestalt of implementation of this invention is explained below gestalt 1. of operation. Drawing 1 or drawing 3 is the cross section showing the manufacture method of the semiconductor device of the gestalt 1 implementation this invention. Based on each drawing, the manufacture method of the semiconductor device of the gestalt 1 implementation this invention is explained. Two or more fields are set as the semiconductor substrate 1, a transistor is formed in each field, respectively, the semiconductor device formed here is formed so that the thickness of a gate insulator layer may differ for every field, and it is formed so that the properties of the transistor for every field may differ.

[0022] First, like the conventional case, on the semiconductor substrate 1, a silicon oxide is formed in 15nm of thickness by for example, the oxidizing [thermally] method or CVD, and the 1st mask film 2 is formed. Next, on the 1st mask film 2, a silicon nitride is formed in 200nm of thickness by CVD, and the 2nd mask film 3 is formed. Next, by photoengraving process and the etching method, patterning of the 2nd mask film 3, the 1st mask film 2, and the semiconductor substrate 1 is carried out, for example, the trench 4 with a depth of 300nm is formed (drawing 1 (a)).

[0023] Next, the 1st insulator layer 5 is formed by the oxidizing [thermally] method or CVD, and the 1st insulator layer 5 is ground up to the 2nd mask film 3 upper surface by the grinding method (drawing 1 (b)). Next, the 1st insulator layer 5 is **********ed by the etching method, thickness is reduced, and it considers as the semiconductor substrate 1 and an abbreviation same side. Then, the 1st mask film 2 and the 2nd mask film 3 are removed (drawing 1 (c)). Next, the semiconductor substrate 1 top is oxidized by the oxidizing [thermally] method, for example, the silicon oxide 6 whose thickness is 1.5-3nm is formed (drawing 2 (a)).

[0024] Next, it forms so that the 1st field A of a request of the resist film 7 may be covered with a photo-engraving process (drawing 2 (b)). Next, the silicon oxide 6 of the 2nd field B which is not covered by the resist film 7 is removed. Next, the resist film 7 is removed by the ashing method etc. (drawing 2 (c)). Next, by CVD, for example, a dielectric constant is higher than a silicon oxide, an oxide film or acid nitrides, such as a PZT film, a BST film, and Ta, Hf, Zr, aluminum, Ti, are formed in 10-20nm of thickness, and the upper insulator layer 8 is formed (drawing 3 (a)).

[0025] The following forms contest polysilicon, silicide, a metal membrane, metal nitrides, or these cascade screens CVD by the well-known method, and forms the gate electrode 9 by

photoengraving process and the etching method. Next, As, P, B, and BF2 grade are poured in one E13 to 1E14-/cm2 with ion-implantation, and the 1st impurity diffusion layer 10 is formed.
[0026] Next, an insulator layer, for example, a silicon oxide, silicon nitrides, or these cascade screens are formed 20-100nm of thickness by CVD, it **********s and a sidewall 11 is formed. Next, As, P, B, and BF2 grade are poured in one E15 to 1E16-/cm2 with ion-implantation, and the 2nd impurity diffusion layer 12 is formed.
[0027] Thus, the 1st and 2nd MISFET(s) 13 and 14 are formed (drawing 3 (d)). And the gate insulator layer 15 of 1st MISFET13 is formed by the silicon oxide 6 and the upper insulator layer 8, and gate insulator layer 8a of 2nd MISFET14 is formed only by the upper insulator layer 8.
[0028] Thus, if the insulator layer which has a different dielectric constant is made into a laminated structure, in a gate insulator layer, capacity will be combined in series. If area of the gate electrode which counters a channel is set to S, the dielectric constant of each insulator layer is set to epsilonl and epsilon2, respectively and thickness of each insulator layer is set to dl and d2 from this, the capacity of the capacitor which consists of these cascade screens will serve as 2.S/(epsilonld2+epsilon2d1) of epsilon l-epsilon.
[0029] Therefore, even when thickness dl of an insulator layer with a high dielectric constant is made into constant value, the capacity between the gate and a channel can be changed by changing d2. Thus, even if the formation thickness of an insulator layer with a high dielectric constant is fixed, the thickness of an efficiency gate insulator layer is changeable because a dielectric constant changes thickness for the small good silicon oxide of thickness-control nature for every field.
[0030] From the above thing, the thickness of a gate insulator layer differs, respectively and the 1st MISFET13 and 2nd MISFET14 which are formed in the 1st field A and the 2nd field B, respectively can form the property of a transistor as a different thing.
[0031] By change of the thickness of the silicon oxide by which the thickness-control method is established, the semiconductor device of the gestalt 1 of the operation constituted as mentioned above determines the capacity between the gate and a channel, and since it can form the transistor from which a property differs, it can determine the performance of a transistor in which properties differ with a sufficient controllability. Moreover, the formation process of an insulator layer with a high dielectric constant with a high production cost can be managed at once, and can minimize an increase in cost.
[0032] Although the gestalt 1 of the gestalt 2. above-mentioned implementation of operation explained the example equipped with the field which has the gate insulator layer which is not equipped with the silicon oxide, it is not restricted to this, you may make it equip all the gate insulator layers with a silicon oxide, and the example is explained below.
[0033] Drawing 4 is the cross section having shown the manufacture method of the semiconductor device of the gestalt 2 implementation this invention. Based on drawing, the manufacture method of the semiconductor device of the gestalt 2 operation is explained. First, through the same process as the gestalt 1 of the above-mentioned implementation, as shown in drawing 2 (c), the silicon oxide 6 of the 2nd field B is **********ed to the 1st field A, and a silicon oxide 6 is formed in it.
[0034] Next, the 2nd silicon oxide 16 which changes in 0.5-1.5nm thickness is again formed by the oxidizing [thermally] method on the semiconductor substrate 1 (drawing 4 (a)). Next, by CVD, for example, a dielectric constant is higher than a silicon oxide, an oxide film or acid nitrides, such as a PZT film, a BST film, and Ta, Hf, Zr, aluminum, Ti, are formed in 10-20nm of thickness, and the upper insulator layer 8 is formed (drawing 4 (b)).
[0035] The following forms contest polysilicon, silicide, a metal membrane, metal nitrides, or these cascade screens CVD by the same method as the gestalt 1 of the above-mentioned implementation, and forms the gate electrode 9 by photoengraving process and the etching method. Next, As, P, B, and BF2 grade are poured in one E13 to 1E14-/cm2 with ion-implantation, and the 1st impurity diffusion layer 10 is formed.
[0036] Next, an insulator layer, for example, a silicon oxide, silicon nitrides, or these cascade screens are formed 20-100nm of thickness by CVD, it **********s and a sidewall 11 is formed. Next, As, P, B, and BF2 grade are poured in one E15 to 1E16-/cm2 with ion-implantation, and

the 2nd impurity diffusion layer 12 is formed.
[0037] Thus, the 1st and 2nd MISFET(s) 17 and 18 are formed (drawing 4 (c)). And the gate insulator layer 19 of 1st MISFET17 is formed by the silicon oxide 6, the 2nd silicon oxide 16, and the upper insulator layer 8, and the gate insulator layer 20 of 2nd MISFET18 is formed by the 2nd silicon oxide 16 and upper insulator layer 8.
[0038] From the above thing, the thickness of a gate insulator layer differs, respectively and the 1st MISFET17 and 2nd MISFET18 which are formed in the 1st field A and the 2nd field B, respectively can form the property of a transistor as a different thing.
[0039] since the semiconductor device of the gestalt 2 of the operation constituted as mentioned above forms the silicon oxide on a semiconductor substrate not to mention doing so the same effect as the gestalt 1 of the above-mentioned implementation, it can perform interface control of a semiconductor substrate and can attain highly efficient-ization of a transistor compared with the case where the upper insulator layer formed in the upper part is directly formed in the semiconductor substrate up
[0040] In addition, although the case where two fields existed the field on a semiconductor substrate was explained to the example in the gestalt of each above-mentioned implementation If the number of times of formation of a silicon oxide is increased and the thickness of a silicon oxide is changed for every field even if it is not restricted to this and three or more fields exist, being able to form like the gestalt of each above-mentioned implementation, and doing the same effect so cannot be overemphasized.
[0041]
[Effect of the Invention] As mentioned above, according to the claim 1 of this invention, have two or more fields set as the semiconductor substrate, and the transistor formed in each field, respectively, and it sets to the semiconductor device with which the thickness of the gate insulator layer of a transistor differs for every field. Since the thickness of the silicon oxide which each gate insulator layer is equipped with the upper insulator layer which has the same thickness mutually in each field, and forms the difference in the thickness of a gate insulator layer in the lower layer of the upper insulator layer is changed and formed The thickness of a gate insulator layer becomes possible [offering the semiconductor device which can be changed certainly].
[0042] moreover -- according to the claim 2 of this invention -- a claim 1 -- setting -- two or more fields -- inner -- in any one field, since the lower layer of the upper insulator layer is not equipped with the silicon oxide, it becomes possible to offer the semiconductor device which can be formed at a few process
[0043] Moreover, according to the claim 3 of this invention, in a claim 1, since the lower layer of the upper insulator layer of all the gate insulator layers of two or more fields was equipped with the silicon oxide, it becomes possible to offer the semiconductor device which can perform highly efficient-ization of a transistor.
[0044] Moreover, according to the claim 4 of this invention, it becomes possible any of a claim 1 or a claim 3, or to offer the semiconductor device which can change the thickness of a gate insulator layer easily, since it sets and a silicon oxide changes by the thermal oxidation film.
[0045] Moreover, according to the claim 5 of this invention, in either a claim 1 or the claim 4, since it consists of a silicon oxide by the film with a high dielectric constant, the upper insulator layer becomes possible [offering the semiconductor device which can obtain easily the gate insulator layer which has a request property].
[0046] Moreover, according to the claim 6 of this invention, in a claim 5, since it changes by either the PZT film, the BST film, the oxide film of Ta, Hf, Zr, aluminum, and Ti or the acid nitride, the upper insulator layer becomes possible [offering the semiconductor device which can obtain certainly the gate insulator layer which has a request property].
[0047] Moreover, according to the claim 7 of this invention, it sets to the manufacture method of a semiconductor device that the thickness of the gate insulator layer of a transistor differs from two or more fields set up on the semiconductor substrate, and the transistor formed in each field, respectively for every field. The 1st process which forms a silicon oxide for formation of the gate insulator layer of each transistor by the oxidizing [thermally] method on a

semiconductor substrate, The 3rd process which uses the 2nd process of a wrap, and a resist as a mask for the field of an inner request of each field in a resist, and removes a silicon oxide, Since it carries out at the process which repeats the 1st, the 2nd, and the 3rd process successively, and the process which forms the gate insulator layer from which the upper insulator layer is formed and thickness differs for every field on a semiconductor substrate until it becomes the thickness from which the thickness of a silicon oxide differs for every field The thickness of the gate insulator layer for every field becomes possible [offering the manufacture method of the semiconductor device which can be changed certainly].

[0048] Moreover, according to the claim 8 of this invention, in a claim 7, since the upper insulator layer is formed by the film with a dielectric constant higher than a silicon oxide, it becomes possible to offer the manufacture method of the semiconductor device which can form easily the gate insulator layer which has a request property.

[0049] Moreover, according to the claim 9 of this invention, in a claim 8, since it forms by either the PZT film, the BST film, the oxide film of Ta, Hf, Zr, aluminum, and Ti or the acid nitride, the upper insulator layer becomes possible [offering the manufacture method of the semiconductor device which can form certainly the gate insulator layer which has a request property].

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 2] It is the cross section showing the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 3] It is the cross section showing the manufacture method of the semiconductor device by the gestalt 1 of implementation of this invention.

[Drawing 4] It is the cross section showing the manufacture method of the semiconductor device by the gestalt 2 of implementation of this invention.

[Drawing 5] It is the cross section showing the manufacture method of the conventional semiconductor device.

[Drawing 6] It is the cross section showing the manufacture method of the conventional semiconductor device.

[Description of Notations]

1 A semiconductor substrate, 6 A silicon oxide, 7 A resist film, 8 The upper insulator layer, 8a, 15, 19, 20 13 A gate insulator layer, 17 14 The 1st MISFET, 18 The 2nd MISFET, 16 The 2nd silicon oxide, A The 1st field, B The 2nd field.

[Translation done.]

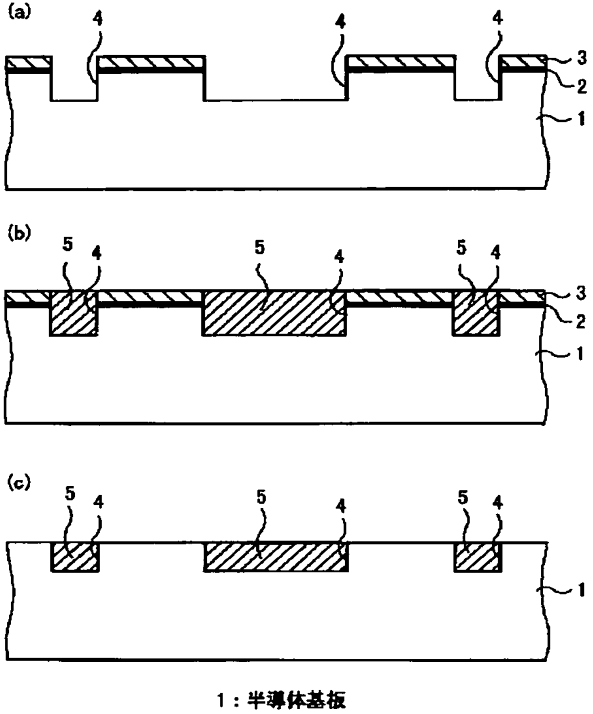
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

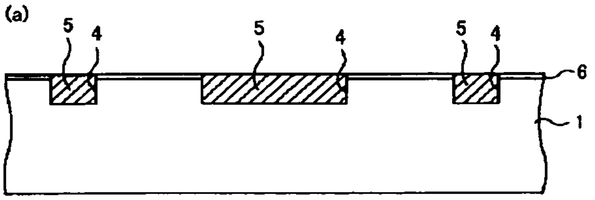
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DRAWINGS

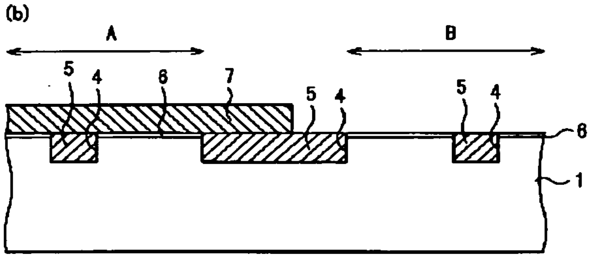
[Drawing 1]



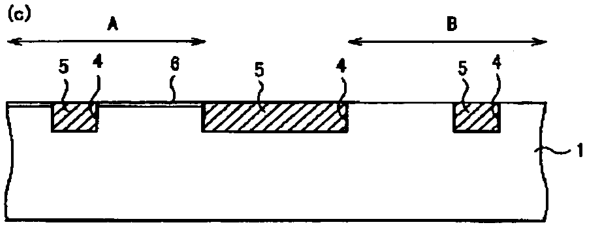
[Drawing 2]



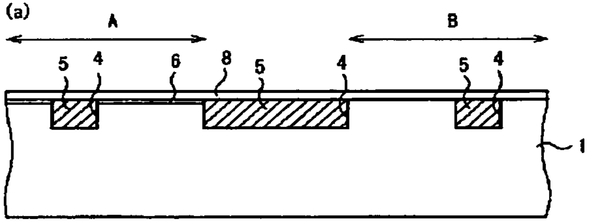
6 : ｼﾘｺﾝ酸化膜



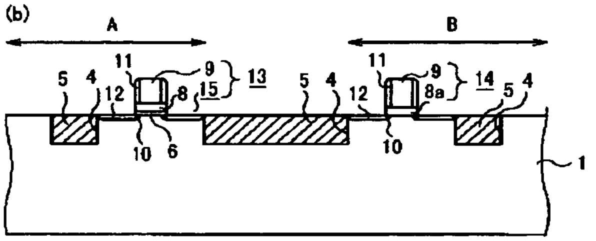
7 : ﾚｼﾞｽﾄ膜
A : 第1の領域
B : 第2の領域



[Drawing 3]

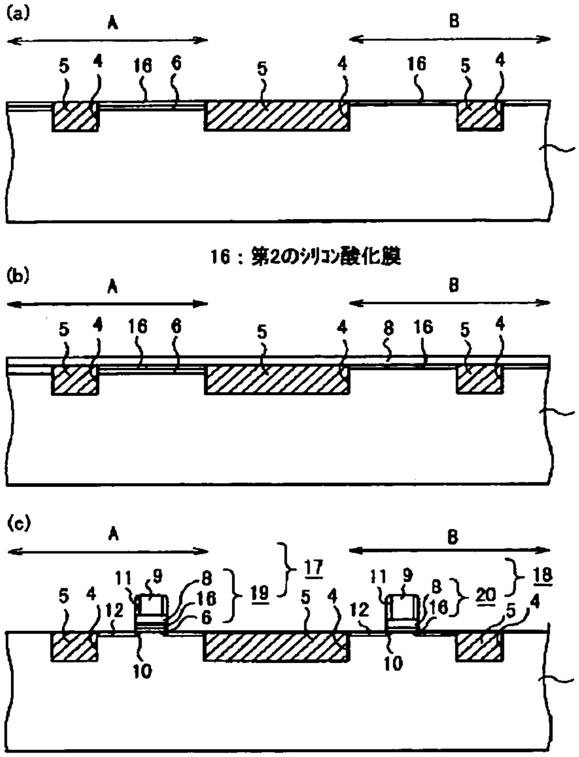


8 : 上層絶縁膜



8a. 15 : ｹﾞｰﾄ絶縁膜
13 : 第1のMISFET
14 : 第2のMISFET

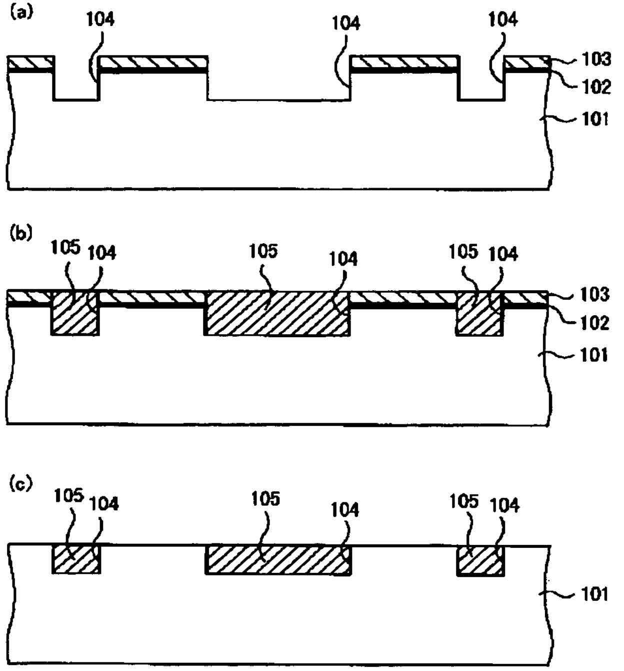
[Drawing 4]



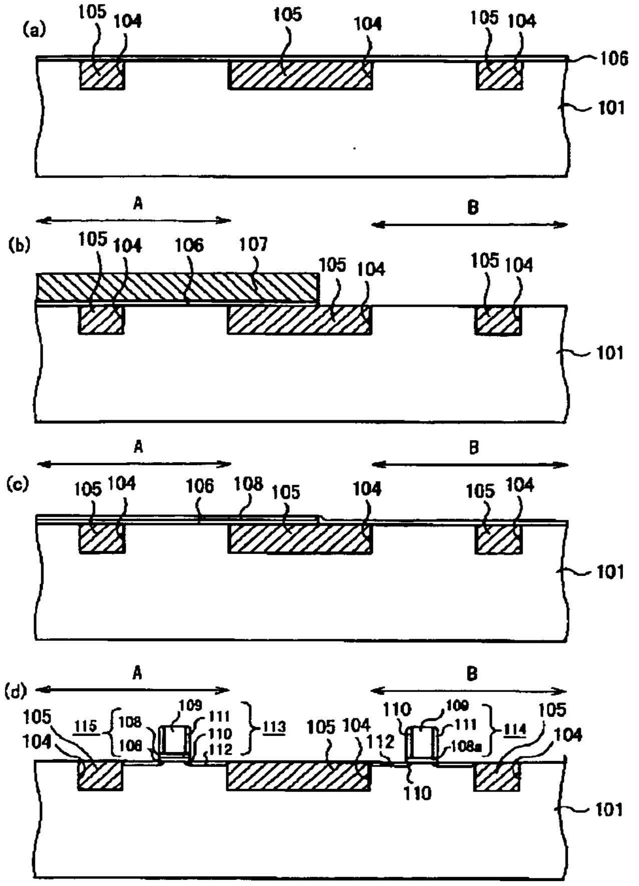
16：第2のｼﾘｺﾝ酸化膜

19, 20：ｹﾞｰﾄ絶縁膜
17：第1のMISFET
18：第2のMISFET

[Drawing 5]



[Drawing 6]



[Translation done.]